

SEARCH

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-168694

(43)Date of publication of application : 16.06.1992

(51)Int.CI.

G11C 11/417

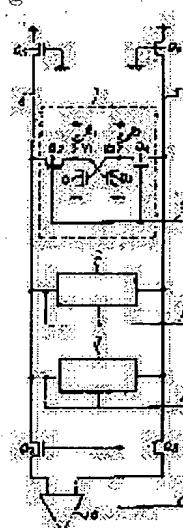
(21)Application number : 02-296364 (71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 31.10.1990 (72)Inventor : KOKUBO NOBUYUKI

(54) SEMICONDUCTOR STORAGE DEVICE**(57)Abstract:**

PURPOSE: To lower the lower limit of the power-supply voltage operations of the title storage device so as to enlarge the operational margin of the device by using P-channel transistors as the access gate transistors and bit-line load transistors for memory cells.

CONSTITUTION: Bit-line load transistors Q5 and Q6 and access gate transistors Q3 and Q4 are respectively constituted of P-channel transistors and inverter transistors Q1 and Q2 are respectively constituted of N-channel transistors. As a result, a bistable state can be maintained and data reading out and writing become possible even when the power supply voltage drops to 3V. Therefore, a semiconductor storage device which can have a sufficient operational margin even when the power supply voltage drops to 3V can be obtained.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against]

⑫ 公開特許公報 (A)

平4-168694

⑬ Int. Cl. 5

G 11 C 11/417

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)6月16日

7323-5L G 11 C 11/34

305

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 平2-296364

⑰ 出 願 平2(1990)10月31日

⑱ 発明者 小久保 信幸 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

半導体基板上に作製された記憶装置の記憶の最少単位1ビットを6つの素子で構成し、ビット線負荷トランジスタおよびアクセスゲートトランジスタをPチャネルトランジスタ、インバータトランジスタをnチャネル型トランジスタとしたことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は半導体記憶装置、特に随時読み出し書き込み可能なデータをリフレッシュする必要のない記憶装置スタティックRAMの電源電圧動作マージンに関するものである。

〔従来の技術〕

第3図は従来の半導体記憶装置のメモリセルとその周辺回路を示す回路図で、図において、(1)～(3)はメモリセル、(4)～(6)はビット線、(7)～(9)はワー

ド線、(10)はカラムデコード信号、(11)はセンス回路、Q₁、Q₂はインバータトランジスタ、Q₃、Q₄はアクセスゲートトランジスタ、Q₅、Q₆はピット線負荷トランジスタ、Q₇、Q₈はカラムデコードスイッチトランジスタ、R₁、R₂は抵抗素子である。

従来の半導体記憶装置では、第3図におけるメモリセル(1)のようにメモリセルを6素子で構成しており、Pチャネルトランジスタ2素子で双安定素子を形成し、その負荷素子として抵抗素子やトランジスタを使用し、メモリセルとピット線とをつなぐアクセスゲートをnチャネルトランジスタで構成していた。

従来の半導体記憶装置のメモリセルの動作を第3図を用いて説明する。ワード線1(6)をV_{cc}、ワード線2(7)、ワード線3(8)、カラムデコード信号(10)を0Vとした時、インバータトランジスタQ₁のドレイン電圧V₁(インバータトランジスタQ₁のゲート電圧)に対するインバータトランジスタQ₂のドレイン電圧V₂の特性は第4図の(a)線の

ようになる。逆に V_2 に対する V_1 の特性は \textcircled{b} 線のようになる。従って、メモリセルは 3 つの交点を持ち双安定状態を形成し、データを記憶することが可能になる。ここで、 \textcircled{a} 線において、 $V_1 = 0\text{V}$ の時 $V_2 = V_{cc} - V_{ss}$ であり、 \textcircled{b} 線において、 $V_2 = 0\text{V}$ の時 $V_1 = V_{cc} - V_{ss}$ である。これはビット線負荷トランジスタ Q_1, Q_2 、アクセスゲートトランジスタ Q_3, Q_4 がロチャネル型トランジスタで形成されているため、ロチャネルトランジスタの V_{ss} (サブスレッショルド電圧) だけ低下してしまうのである。

(発明が解決しようとする課題)

従来の半導体記憶装置のメモリセルは以上のように構成されていたので、電源電圧を 3V 以下にすると第 4 図に示した、メモリセルの特性が第 5 図のように変化し、3 つの交点を持たないようになり双安定状態を保てなくなり、電源電圧が 3V 以下ではメモリセルにデータを書き込んだりメモリセルからデータを読み出したりすることが不可能になってくるという問題点があった。

(実施例)

以下、この発明の一実施例を図について説明する。第 1 図において、(1)～(3)はメモリセル、(4)(6)はビット線、(5)～(8)はワード線、(9)はカラムデコード信号、(10)はセンス回路、 Q_1, Q_2 はインバータトランジスタ、 Q_3, Q_4 はアクセスゲートトランジスタ、 Q_5, Q_6 はビット線負荷トランジスタ、 Q_7, Q_8 はカラムデコードスイッチトランジスタ、 R_1, R_2 は抵抗素子である。

即ち、前記従来のものにおける改良点はアクセスゲートトランジスタ Q_3, Q_4 とビット線負荷トランジスタ Q_5, Q_6 を P チャネル型トランジスタを使用した点である。

次に第 1 図を用いて動作について説明する。前記従来のものと異なり、アクセスゲートトランジスタ Q_3, Q_4 を P チャネルトランジスタで構成したので、ワード線選択の方式は 0V のワード線が選択状態で、 V_{cc} のレベルのワード線が非選択である。

第 1 図においてワード線 1 (6)を 0V 、ワード線

この発明は上記のような問題点を解消するためになされたもので、電源電圧が 3V 以下でも充分な動作マージンを持った半導体記憶装置を得ることを目的とする。

(課題を解決するための手段)

この発明に係る半導体記憶装置は、ビット線負荷トランジスタ Q_5, Q_6 とアクセスゲートトランジスタ Q_3, Q_4 を P チャネル型トランジスタ、インバータトランジスタをロチャネル型トランジスタとしたので、第 4 図 \textcircled{a} 線の $V_1 = 0\text{V}$ の時の V_2 の電圧が V_{cc} に、 \textcircled{b} 線の $V_2 = 0\text{V}$ の時の V_1 の電圧が V_{cc} になり、電源電圧を 3V 以下の低電圧にしても双安定状態を保つことが可能となり、データを読み出したり書き込んだりすることが可能になる。

(作用)

この発明における半導体記憶装置は、ビット線負荷トランジスタとアクセスゲートトランジスタを P チャネル型トランジスタ、インバータトランジスタをロチャネル型トランジスタとしたので、第 4 図 \textcircled{a} 線の $V_1 = 0\text{V}$ の時の V_2 の電圧が V_{cc} に、 \textcircled{b} 線の $V_2 = 0\text{V}$ の時の V_1 の電圧が V_{cc} になり、電源電圧を 3V 以下の低電圧にしても双安定状態を保つことが可能となり、データを読み出したり書き込んだりすることが可能になる。

2 (7)、ワード線 3 (6)を V_{cc} 、カラムデコード信号 (9)を 0V とした時、インバータトランジスタ Q_1 のドレイン電圧 V_1 (Q_1 のゲート電圧) に対するインバータトランジスタ Q_2 のドレイン電圧 V_2 の特性は第 2 図の \textcircled{c} 線のようになる。逆に V_2 に対する V_1 の特性は \textcircled{d} 線のようになる。したがって、メモリセルは 3 つの交点を持ち双安定状態を形成し、データを記憶することが可能になる。また従来の半導体記憶装置と異なり $V_1 = 0\text{V}$ の時、 $V_2 = V_{cc}$ であり、 $V_2 = 0\text{V}$ の時、 $V_1 = V_{cc}$ であるため、電源電圧を 3V 以下にした時も 3 つの交点を持つことが可能になり、双安定状態を形成することができるようになる。

(発明の効果)

以上のようにこの発明によれば、メモリセルのアクセスゲートトランジスタ及びビット線負荷トランジスタを P チャネル型トランジスタを用いたので、半導体記憶装置の電源電圧動作下限が 3V 以下に下がり、大きな動作マージンを得られるという効果がある。

4. 図面の簡単な説明

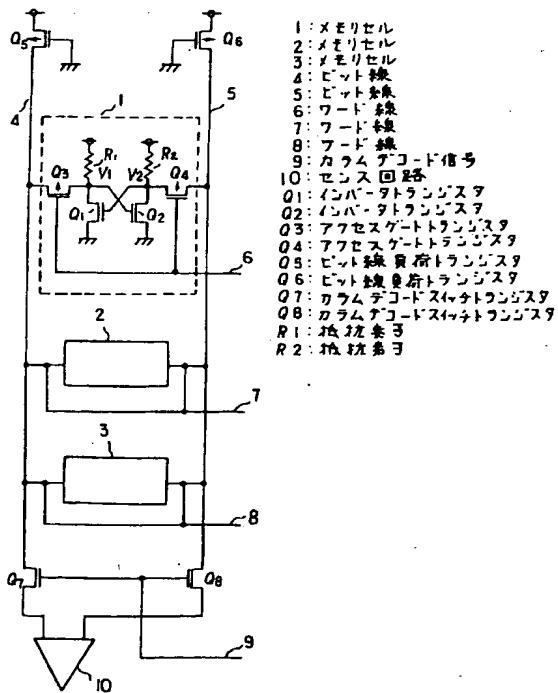
第1図はこの発明の一実施例である半導体記憶装置のメモリセル及びその周辺回路の回路図、第2図は第1図のメモリセルの動作状態での記憶ノードV1, V2の電圧特性を示す曲線図、第3図は従来の半導体記憶装置のメモリセル及びその周辺回路の回路図、第4図は第3図のメモリセルの動作状態での記憶ノードV1, V2の電圧特性を示す曲線図、第5図は第3図のメモリセルの動作状態での記憶ノードV1, V2の電圧特性の不一致を示す曲線図である。

図において、(1)はメモリセル1、(2)はメモリセル2、(3)はメモリセル3、(4)はビット線、(5)はビット線、(6)はワード線1、(7)はワード線2、(8)はワード線3、(9)はカラムデコード信号、(10)はセンス回路を示す。また、Q1, Q2はインバータトランジスタ、Q3, Q4はアクセスゲートトランジスタ、Q5, Q6はビット線負荷トランジスタ、R1, R2は抵抗素子を示す。

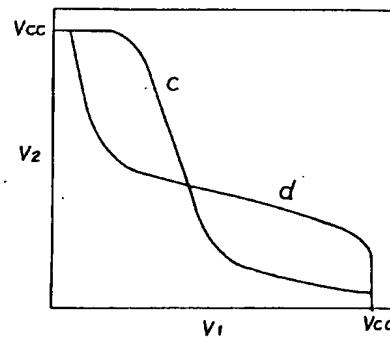
なお、各図中、同一符号は同一または相当部分を示す。

代理人 大岩 増雄

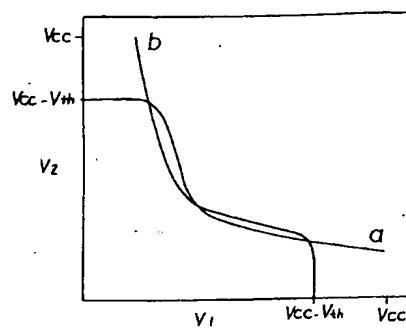
第1図



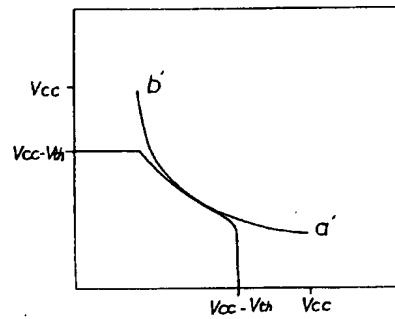
第2図



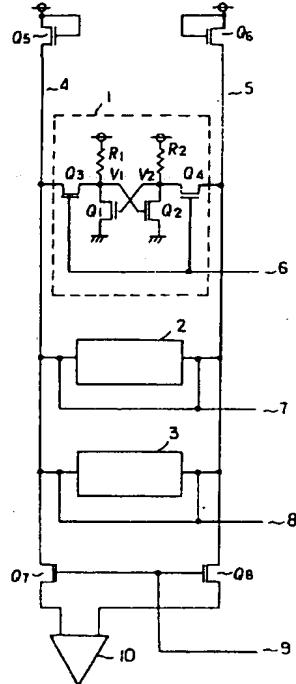
第4図



第5図



第3図



手 続 極 正 番 (自免)
平成 3 年 6 月 14 日

特許庁長官殿

通

1. 事件の表示
特願昭 58-896804号

2. 発明の名称
半導体記憶装置

3. 補正をする者

事件との関係 特許出願人
住所 東京都千代田区丸の内二丁目2番3号
名称 (601) 三菱電機株式会社
代表者 志岐守哉

4. 代理人

住所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏名 (7375) 弁理士 大岩増雄
特許出願番号 58-21353421特許部
(連絡先 03(3213)3421特許部) 20.子原

方
式
査
尋西
洋

特許庁
13.6.17
審査課

5. 補正の対象

明細書の発明の詳細な説明の欄、及び図面。

6. 補正の内容

(1) 明細書第8頁第6行の

「 $V_s - V_{cc} - V_{th}$ であり、」を「 $V_s - V_{cc} - V_{th}$ であり、」と訂正する。

(2) 明細書第8頁第6行の

「 $V_1 - V_{cc} - V_{th}$ である。」を「 $V_1 - V_{cc} - V_{th}$ である。」と訂正する。

(3) 明細書第8頁第10行の

「 V_{th} 」を「 V_{th} 」と訂正する。

(4) 明細書第8頁第10行の

「 $V_1 = 0V$ の時、」を「 $V_1 = 0V$ の時、」
と訂正する。

(5) 図面中第1図を別紙のとおり訂正する。

(6) 図面中第3図を別紙のとおり訂正する。

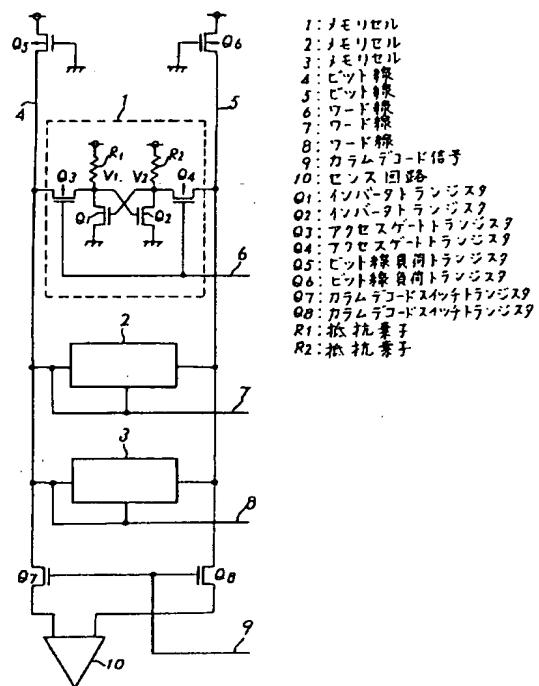
7. 添付書類の目録

(1) 訂正図面(第1図、第3図)

1通

以上

第1図



第3図

